

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-197889

(43)Date of publication of application : 12.07.2002

(51)Int.Cl.

G11C 29/00
G01R 31/28

(21)Application number : 2000-393751

(71)Applicant : NEC CORP

(22)Date of filing : 25.12.2000

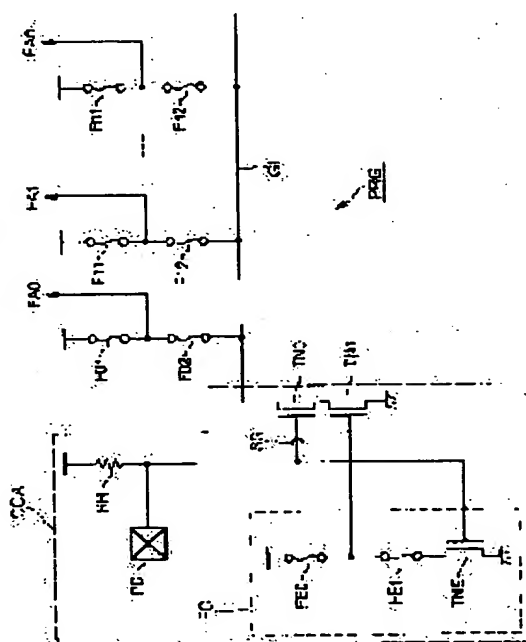
(72)Inventor : TAKAHASHI HIROYUKI
HASEO EIJI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which high speed defect relieving can be performed with low current consumption and without generation of excessive current when necessity of relieving a defect is tested.

SOLUTION: A semiconductor memory is provided with fuses F01, F02 or the like to be cut off complementarily in accordance with a defective address, and n-channel field effect transistors TN0, TN1 cutting off a current flowing in these fuses. The fuses F01, F02, or the like and the n-channel field effect transistors TN0, TN1 are connected between a power source and ground. A gate of the n-channel field effect transistor is connected to a pad electrode PD, while connected to the power source through a load resistor RR. When necessity of relieving defect is tested, a low level is applied externally to the pad electrode PD, the n-channel field effect transistor TN0 is made an off-state. Hence, a through current is not made to flow between the power source and ground even if the fuse is not a cut off state when necessity of relieving the defect is tested.



LEGAL STATUS

[Date of request for examination]

28.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-197889

(P2002-197889A)

(43) 公開日 平成14年7月12日 (2002.7.12)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テームコード (参考) |
|---------------------------|-------|---------------|-------------------|
| G 1 1 C 29/00 | 6 0 3 | G 1 1 C 29/00 | 6 0 3 J 2 G 0 3 2 |
| G 0 1 R 31/28 | | G 0 1 R 31/28 | B 5 L 1 0 6 |
| | | | P |

審査請求 有 請求項の数 6 O L (全 18 頁)

(21) 出願番号 特願2000-393751(P2000-393751)

(22) 出願日 平成12年12月25日 (2000.12.25)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 高橋 弘行

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 長谷尾 英二

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100108578

弁理士 高橋 詔男 (外3名)

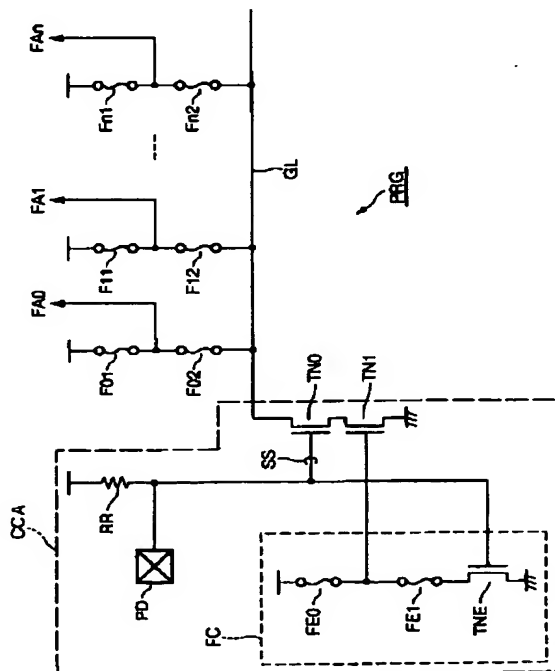
Fターム (参考) 2G032 A407 AB01 AK00 AK11 AL00
5L106 CC04 CC17 CC22 DD11 GG03

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 低消費電流で高速な欠陥救済を可能とし、しかも欠陥救済の要否を検査する際に過大な電流が発生することがない半導体記憶装置を提供すること。

【解決手段】 欠陥アドレス記憶回路として、欠陥アドレスに応じて相補的に切断すべきヒューズF01、F02等と、これらヒューズを貫通する電流を遮断するn型電界効果トランジスタTN0、TN1とを備える。ヒューズF01、F02等およびn型電界効果トランジスタTN0、TN1は、電源と接地との間に直列接続される。n型電界効果トランジスタTN0のゲートは、パッド電極PDに接続されると共に、負荷抵抗RRを介して電源に接続される。欠陥救済の要否を検査する場合、パッド電極PDに外部からロウレベルが印加され、n型電界効果トランジスタTN0がオフ状態とされる。従って、欠陥救済の要否を検査する際にヒューズが未切断状態であっても、電源と接地との間に貫通電流が流れない。



1

【特許請求の範囲】

【請求項 1】 メモリセルアレイ内の欠陥の所在を示す欠陥アドレスを記憶するための欠陥アドレス記憶回路を有し、外部アドレスが前記欠陥アドレスと一致した場合に該欠陥アドレスで特定される正規のメモリセルを予備のメモリセルで置換するように構成された半導体記憶装置であって、
前記欠陥アドレス記憶回路は、
電源と接地との間に直列接続され、前記欠陥アドレスの論理値に応じて相補的に切断すべき第 1 および第 2 のヒューズと、

欠陥救済の要否を検査する場合に前記第 1 および第 2 のヒューズを貫通する電流を遮断する電流遮断回路と、
を備えたことを特徴とする半導体記憶装置。

【請求項 2】 前記電流遮断回路は、前記欠陥救済の要否に応じて前記電流を遮断する機能をさらに備えたことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記電流遮断回路は、
電流経路が前記第 1 および第 2 のヒューズと直列接続された第 1 および第 2 の電界効果トランジスタと、
前記第 1 の電界効果トランジスタのゲートに接続されたパッド電極と、
電源と前記第 1 の電界効果トランジスタのゲートとの間に接続された負荷抵抗と、
前記欠陥救済の要否に応じて前記第 2 の電界効果トランジスタの導通状態を決定するヒューズ回路と、
を備えたことを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記電流遮断回路は、
電流経路が前記第 1 および第 2 のヒューズと直列接続された電界効果トランジスタと、
電源投入により、前記電界効果トランジスタをオン状態とし得る電位を該電界効果トランジスタのゲートに印加して安定するフリップフロップ回路と、
前記メモリセルアレイ内の欠陥を検査するためのテストモードを判別して前記フリップフロップ回路の安定状態を反転させる判別回路と、
を備えたことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】 前記判別回路は、
前記フリップフロップ回路の安定状態を反転させる機能を無効とするためのヒューズを備えたことを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 6】 前記電流遮断回路は、
電流経路が前記第 1 および第 2 のヒューズと直列接続された電界効果トランジスタと、
前記電界効果トランジスタのゲートに接続されたフリップフロップ回路と、
電源投入を検出して前記フリップフロップ回路の安定状態をリセットするリセット回路と、

2

を備えたことを特徴とする請求項 1 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリセルアレイ内に存在する欠陥を救済するための冗長回路を備えた半導体記憶装置に関し、特に欠陥の所在を示す欠陥アドレスを記憶するためのヒューズを用いた欠陥救済技術に関する。

【0002】

【従来の技術】近年、デバイス構造の更なる微細化が推し進められ、DRAM(Dynamic Random Access Memory)に代表される半導体メモリの記憶容量が飛躍的に高まっている。デバイス構造が微細化されると、デバイス上の各種の欠陥の発生頻度も高まり、製品の歩留まりが低下する。このため、欠陥により不良化したメモリセルを救済するための冗長回路技術が大容量メモリにとって不可欠となっている。この種の冗長回路は、メモリセルアレイの正規の行または列に対応する予備行または予備列を備え、欠陥が存在するメモリセルのアドレス（以下、「欠陥アドレス」と称す）と一致するアドレスが外部から入力された場合に、この欠陥アドレスで特定される正規の行または列を、予備行または予備列で置換するように構成されている。

【0003】ここで、外部から入力されたアドレス（以下、「外部アドレス」と称す）が欠陥アドレスと一致するか否かを検出するための従来技術について説明する。図 9 に、第 1 の従来例を示す。この例は、外部アドレスが欠陥アドレスと一致したことを検出するための欠陥アドレス検出回路であって、アドレス信号の伝達経路上にヒューズを配置したものである。同図(a)において、符号 700A は、外部から入力されたアドレス（以下、「外部アドレス」と称す）A0～An と欠陥アドレスとの一致を検出するための一致検出回路であり、外部アドレスが新たに入力される度にリセット信号 ϕ_r により回路状態が初期化される。符号 700B は、外部アドレス A0～An の変化を検出してリセット信号 ϕ_r を出力するアドレス遷移検出回路である。

【0004】図 9(b)に、一致検出回路 700A の詳細な構成を示す。同図において、符号 TP700 は、上述のリセット信号 ϕ_r に基づき内部ノード ND の寄生容量を充電（プリチャージ）するための p 型電界効果トランジスタ、符号 TN0T～TNnT, TN0N～TNnN は、内部ノード ND の電荷を放電するための n 型電界効果トランジスタ、符号 F0T～FnT, F0N～FnN は、上述の n 型電界効果トランジスタ TN0T～TNnT, TN0N～TNnN に対応付けられて内部ノード ND の放電経路上に設けられたヒューズ、符号 BF700 はバッファである。

【0005】また、ヒューズ F0T～FnT と n 型電界

3

効果トランジスタ $T_{N0T} \sim T_{NnT}$ は、アドレス $A0 \sim An$ の正相信号 $A0T \sim AnT$ の伝達経路上に設けられ、ヒューズ $F0N \sim FnN$ と n 型電界効果トランジスタ $T_{N0N} \sim T_{NnN}$ は、アドレス $A0 \sim An$ の逆相信号 $A0N \sim AnN$ の伝達経路上に設けられている。ここで、ヒューズ $F0T \sim FnT$ および n 型電界効果トランジスタ $T_{N0T} \sim T_{NnT}$ は、正相信号 $A0T$ がハイレベルの場合、すなわち外部アドレス $A0$ が論理値「1」の場合に放電経路を形成し、ヒューズ $F0N \sim FnN$ および n 型電界効果トランジスタ $T_{N0N} \sim T_{NnN}$ は、¹⁰逆相信号 $A0N$ がハイレベルの場合、すなわち外部アドレス $A0$ が論理値「0」の場合に放電経路を形成する。

【0006】次に、この第1の従来例の動作を説明する。まず、プロービング試験により欠陥アドレスを取得し、この欠陥アドレスに応じてヒューズ $F0T \sim FnT$ 、 $F0N \sim FnN$ を選択的に切断することにより、欠陥アドレスを一致検出回路700Aにプログラムしておく。例えば、欠陥アドレスの最下位ビットが論理値「1」の場合、外部アドレス $A0$ の正相信号 $A0T$ および逆相信号 $A0N$ にそれぞれ対応づけられたヒューズ $F0T$ 、 $F0N$ のうち、正相信号 $A0T$ がハイレベルの場合に放電経路を形成する一方のヒューズ $F0T$ を切断し、他方のヒューズ $F0N$ をそのまま（未切断状態）とする。残りの外部アドレス $A1 \sim An$ に対応づけられた各ヒューズについても同様に欠陥アドレスの論理値に応じて切断する。

【0007】上述のように欠陥アドレスのプログラムが行われると、アドレス $A0 \sim An$ が変化する度に、次のようにして欠陥アドレスの検出が行われる。すなわち、例えば外部アドレス $A0$ が論理値「0」から論理値「1」に変化した場合、アドレス遷移検出回路700Bは、この変化（遷移）を検出してリセット信号 ϕ_r としてロウレベルのパルスを出力する。このリセット信号 ϕ_r を受けて、一致検出回路700Aの p 型電界効果トランジスタ T_{P700} が一時的にオン状態となり、内部ノードNDに寄生する容量成分をハイレベルに充電（プリチャージ）する。

【0008】アドレス $A0$ が論理値「1」に変化すると、正相信号 $A0T$ がハイレベルとなり、 n 型電界効果トランジスタ T_{N0T} がオン状態となる。いま、ヒューズ $F0T$ は切断された状態にあるので、 n 型電界効果トランジスタ T_{N0T} がオン状態となっても、このトランジスタを介して内部ノードNDの電荷が放電されることはない。また、アドレス $A0$ が論理値「1」に変化すると、アドレス $A0$ の逆相信号 $A0N$ がロウレベルとなり、 n 型電界効果トランジスタ T_{N0N} がオフ状態となる。従って、ヒューズ $F0N$ および n 型電界効果トランジスタ T_{N0N} を介して内部ノードNDの電荷が放電されることもない。

【0009】これに対し、外部アドレス $A0$ が論理値⁵⁰

4

「1」から論理値「0」に変化した場合、アドレス $A0$ の逆相信号 $A0N$ がハイレベルとなる。このため、 n 型電界効果トランジスタ T_{N0N} がオン状態となり、この n 型電界効果トランジスタ T_{N0N} およびヒューズ $F0N$ を介して内部ノードNDの電荷が放電される。外部アドレス $A0$ と同様のことが、他の外部アドレス $A1 \sim An$ についても言える。従って、外部アドレス $A0 \sim An$ の全論理値が、欠陥アドレスの全論理値と一致する場合にのみ、内部ノードNDの電荷は放電されず、その電位がハイレベルに維持される。よって、外部アドレスが欠陥アドレスと一致した場合にのみ、バッファBF700は、一致検出信号REとしてハイレベルを出力し、この一致検出信号REに基づき欠陥救済を行うことが可能となる。この第1の従来例によれば、ヒューズを定常的に流れる電流が存在しないので、冗長回路の消費電流を低減することができる。

【0010】次に、図10に、第2の従来例を示す。この例は、同じく欠陥アドレス検出回路であって、ヒューズのプログラム状態に基づき外部アドレスの正相信号または逆相信号を選択して欠陥アドレスを検出するように構成されたものである。同図には、外部アドレス $A0$ に関わる部分のみが示されている。同図（a）において、符号800Aは、外部アドレス $A0$ に対応する欠陥アドレスFA0をプログラムするためのヒューズ回路、符号800Bは、欠陥アドレスFA0の論理値に応じて外部アドレス $A0$ の正相信号 $A0T$ または逆相信号 $A0N$ を選択して出力する信号選択回路である。これらヒューズ回路800Aと信号選択回路800Bは、残りの外部アドレス $A1 \sim An$ についても同様に設けられている。符号800Cは、外部アドレス $A0 \sim An$ についてそれぞれ設けられた信号選択回路800Bにより選択された信号を入力する論理積回路である。

【0011】図10（b）に、上述のヒューズ回路800Aの詳細な構成を示す。同図において、符号801Aはヒューズ、符号802A、803Aは抵抗、符号804Aはインバータ、符号805Aは n 型電界効果トランジスタである。ここで、ヒューズ801Aと抵抗802Aは、電源と接地との間に直列接続され、これらの接続ノードにはインバータ804Aの入力部が接続される。インバータ804Aは、 n 型電界効果トランジスタ805Aと共に単安定マルチバイブレータを構成し、このインバータ804Aの出力部と電源との間には抵抗803Aが接続される。

【0012】このヒューズ回路800Aによれば、ヒューズ801Aを切断しない場合、インバータ804Aの入力部がヒューズ801Aにより強制的にプルアップされ、インバータ804Aが欠陥アドレスFA0として論理値「0」を出力する。従ってこの場合、欠陥アドレスFA0として論理値「0」がプログラムされる。また、ヒューズ801Aを切断した場合、インバータ804A

5

の入力部が抵抗802Aによりプルダウンされると共に、インバータ804Aの出力部が抵抗803Aによりプルアップされ、インバータ804Aが欠陥アドレスFA0として論理値「1」を出力した状態でこの回路系が安定する。従ってこの場合、欠陥アドレスFA0として論理値「1」がプログラムされる。すなわち、このヒューズ回路800Aは、ヒューズ801Aを切断するか否かにより、欠陥アドレスFA0として論理値「0」または「1」を記憶し出力するように構成される。

【0013】このように構成された欠陥アドレス検出回路800の動作を説明する。この欠陥アドレス検出回路800は、論理積回路800Cの入力信号の全てがハイレベルとなった場合にのみ一致検出信号REがハイレベルとなり、欠陥アドレスと外部アドレスとが一致したことを検出する。従って、外部アドレスA0～Anとして欠陥アドレスと同一の論理値の組み合わせが入力された場合に論理積回路800Cの入力信号が全てハイレベルとなるように信号選択回路800Bの選択状態を設定しておけばよい。この選択状態はヒューズ回路800Aにプログラムされた欠陥アドレスによって決定される。 10 20

【0014】即ち、欠陥アドレスFA0として論理値「0」がヒューズ回路800Aにプログラムされている場合、n型電界効果トランジスタ801Bのゲートにはロウレベルが印加され、n型電界効果トランジスタ802Bのゲートには、インバータ804Bからハイレベルが印加される。これにより、n型電界効果トランジスタ801Bおよび802Bがそれぞれオフ状態およびオン状態となり、インバータ803Bから出力される外部アドレスA0の逆相信号A0Nが、オン状態のn型電界効果トランジスタ802Bを介して論理積回路800Cに 30 与えられる。従って、論理値「0」がヒューズ回路800Aにプログラムされている場合、外部アドレスA0が論理値「0」のときにのみ、信号選択回路800Bは論理積回路800Cにハイレベルを出力する。

【0015】次に、欠陥アドレスFA0として論理値「1」がヒューズ回路800Aにプログラムされている場合、n型電界効果トランジスタ801Bおよび802Bがそれぞれオン状態およびオフ状態となり、外部アドレスA0が、オン状態のn型電界効果トランジスタ801Bを介して正相信号A0Tとして論理積回路800C 40 に与えられる。従って論理値「1」がヒューズ回路800Aにプログラムされている場合、外部アドレスA0が論理値「1」のときにのみ、信号選択回路800Bは論理積回路800Cにハイレベルを出力する。上述の外部アドレスA0と同様のことが、残りの外部アドレスA1～Anについても言える。

【0016】結局、この欠陥アドレス検出回路800によれば、外部アドレスの各論理値の組み合わせが欠陥アドレスの論理値の組み合わせと一致した場合にのみ論理積回路800Cの全入力信号がハイレベルとなり、この 50

6

論理積回路800Cが一致検出信号REとしてハイレベルを出力する。よって、この一致検出信号REに基づき欠陥救済を行うことが可能となる。この第2の従来例によれば、上述の第1の従来例のようにリセット信号φrにより内部ノードを充電するための動作を要しないので、冗長回路の動作速度を改善することができる。

【0017】次に、図11に、第3の従来例を示す。この例は、特開平5-89696号公報に開示されたものであって、冗長救済を行うか否かを選択するためのヒューズ回路である。このヒューズ回路は、電源と接地との間にヒューズFA、FBを直列接続して備え、冗長救済の要否に応じて何れかを切断することにより、これらヒューズの接続点に現れる電位V1に応じて冗長救済を行うか行わないかを選択するように構成されている。この第3の従来例によれば、ヒューズFA、FBの何れか一方を切断することにより、他方のヒューズにより電位V1が確定する。従って、電源投入直後でも誤動作することなく、確実に冗長救済を行うことができる。

【0018】次に、図12に、第4の従来例に係るアドレスプログラム回路900を示す。この例は、欠陥アドレスをプログラムするためのものであって、1対のヒューズ901、902を単位として、外部アドレスの個数分のヒューズを備え、各外部アドレスに対応する1対のヒューズ901、902を相補的に切断することにより欠陥アドレスをプログラムするように構成されている。この第4の従来例では、例えば欠陥アドレスAX0Sとして論理値「0」をプログラムする場合、この欠陥アドレスに対応付けられた1対のヒューズ901、902のうち、ヒューズ901を切断する。これにより、ヒューズ901とヒューズ902との接続点の電位が接地電位に固定され、欠陥アドレスAX0Sとして論理値「0」がプログラムされる。

【0019】次に、この第4の従来例の動作を簡単に説明する。リセット動作期間ではp型電界効果トランジスタ903がオフ状態とされる。従ってこの期間では、ヒューズ901および902を介して電流が流れることはなく、消費電流が抑えられる。次に、通常動作期間ではp型電界効果トランジスタ903がオン状態とされる。これにより、ヒューズ901およびヒューズ902の切断状態に応じて、欠陥アドレスAX0S～AX7Sとして、論理値「0」または「1」が出力される。この第4の従来例によれば、p型電界効果トランジスタ903がオン状態になることにより、欠陥アドレスAX0S～AX7Sが同時に確定するので、欠陥アドレスの違いによってアクセスタイムに差が生じることがない。

【0020】

【発明が解決しようとする課題】ところで、上述の図9に示す第1の従来例によれば、外部アドレスA0～Anを一致検出回路700Aに取り込む際に、この外部アドレスの変化をアドレス遷移検出回路700Bで検出して

7

リセット信号 ϕ_r を生成し、このリセット信号 ϕ_r を用いて一致検出回路 700A の内部ノードを充電する必要がある。このため、一致検出信号 RE が出力されるまでに時間を要し、冗長回路の動作速度が阻害されるという問題がある。

【0021】また、上述の図 10 に示す第 2 の従来例によれば、ヒューズ回路 800A のヒューズ 801A を切断しない場合、電源と接地との間にヒューズ 801A および抵抗 802A を介して電流が定常的に流れる。しかも、この場合、インバータ 804A はロウレベルを出力 10 するので、抵抗 803A の両端に電位差が生じ、この抵抗にも電流が流れる。このため、冗長回路の消費電流が増加するという問題がある。

【0022】さらに、上述の図 11 に示す第 3 の従来例によれば、冗長救済が必要か不要かを検査する場合に、ヒューズ FA、FB は共に未切断状態にあるため、これらヒューズを介して電源と接地が短絡され、過大な電流が発生する。従って、半導体記憶装置の内部の電源電位、または検査装置側の電源電位が変動し、欠陥救済の要否を判断するための検査を正しく行うことができない 20 という問題がある。また、この第 3 の従来例が開示された上述の公報には、この電流の発生を防止するための対策として、ヒューズが接続される電源を検査時にフローティング状態とするようにヒューズ電源用のパッド電極を設ける例が記載されている。しかしながら、この例によれば、検査後にはパッド電極を外部端子にボンディングする必要があるため、正規のパッド電極と同等の設計基準を満足するパッド電極を設ける必要があり、レイアウト上の障害となる。

【0023】さらにまた、上述の図 12 に示す第 4 の従 30 来例によれば、上述の第 3 の従来例と同様に、冗長救済の要否を検査する場合に、ヒューズ 901、902 は共に未切断状態にある。このため、p 型電界効果トランジスタ 903 がオン状態になると、ヒューズを過大な電流が流れ、検査を正しく行うことができないという問題がある。

【0024】この発明は、上記事情に鑑みてなされたもので、低消費電流で高速に欠陥救済を行うことができ、しかも欠陥救済の要否を検査する際に過大な電流が発生することがなく、検査を正しく行うことができる半導体 40 記憶装置を提供することを目的とする。

【0025】

【課題を解決するための手段】上記課題を解決するため、この発明は以下の構成を有する。即ち、この発明にかかる半導体記憶装置は、メモリアレイ内の欠陥の所在を示す欠陥アドレスを記憶するための欠陥アドレス記憶回路を有し、外部アドレスが前記欠陥アドレスと一致した場合に該欠陥アドレスで特定される正規のメモリアレイを予備のメモリアレイで置換するように構成された半導体記憶装置であって、前記欠陥アドレス記憶回路は、 50

8

電源と接地との間に直列接続され、前記欠陥アドレスの論理値に応じて相補的に切断すべき第 1 および第 2 のヒューズ（例えば後述する電流遮断回路 CCA に相当する構成要素）と、欠陥救済の要否を検査する場合に前記第 1 および第 2 のヒューズを貫通する電流を遮断する電流遮断回路（例えば後述する n 型電界効果トランジスタ TN0、TN1 に相当する構成要素）と、を備えたことを特徴とする。

【0026】この構成によれば、欠陥救済の要否を検査する場合、電流遮断回路が第 1 および第 2 のヒューズを貫通する電流を遮断する。従って、欠陥救済の要否を検査する際に第 1 および第 2 のヒューズが未切断状態であっても、これら第 1 および第 2 のヒューズを介して電源と接地との間に流れる貫通電流を阻止することができる。また、この構成によれば、欠陥アドレスを記憶する場合、第 1 または第 2 のヒューズの何れかを切断する。これにより、これらヒューズの接続点には、電源または接地の何れかの電位が現れ、欠陥アドレスの論理値は、この接続点に現れる電位に応じたものとなる。この場合、第 1 または第 2 のヒューズの何れかが切断されるので、これらヒューズを介して電源と接地との間に電流が流れることはない。従って、この構成によれば、欠陥アドレスが記憶された状態では、低消費電流で高速に欠陥救済を行うことが可能となる。しかも、欠陥救済の要否を検査する際には過大な電流が発生することがなく、欠陥救済の要否を正しく検査することが可能となる。

【0027】ここで、前記半導体記憶装置において、前記電流遮断回路は、例えば、前記欠陥救済の要否に応じて前記電流を遮断する機能をさらに備える。この構成によれば、例えば、欠陥救済を要しない場合に、第 1 および第 2 のヒューズを切断することなく、これらヒューズによる電源と接地との短絡を防止し、貫通電流の発生を阻止することが可能となる。従ってこの場合、例えばメモリアレイ内に欠陥が存在せず、欠陥救済を要しない場合に、第 1 および第 2 のヒューズを未切断状態としても、過大な電流が発生することがなくなる。

【0028】また、前記半導体記憶装置において、前記電流遮断回路は、例えば、電流経路が前記第 1 および第 2 のヒューズと直列接続された第 1 および第 2 の電界効果トランジスタと、前記第 1 の電界効果トランジスタ

（例えば後述する n 型電界効果トランジスタ TN0 に相当する構成要素）のゲートに接続されたパッド電極（例えば後述するパッド電極 PD に相当する構成要素）と、電源ノードと前記第 1 の電界効果トランジスタのゲートとの間に接続された負荷抵抗（例えば後述する負荷抵抗 RR に相当する構成要素）と、前記欠陥救済の要否に応じて前記第 2 の電界効果トランジスタ（例えば後述する n 型電界効果トランジスタ TN1 に相当する構成要素）の導通状態を決定するヒューズ回路（例えば後述するヒューズ回路 FC に相当する構成要素）と、を備えたこと

を特徴とする。

【0029】この構成によれば、欠陥救済の要否を検査する場合、例えば、第1の電界効果トランジスタをオフ状態とし得る電位をパッド電極に印加する。これにより、前記第1および第2のヒューズと直列接続された第1の電界効果トランジスタがオフ状態となるため、欠陥救済の要否を検査する場合に第1および第2のヒューズを貫通する電流を遮断することが可能となる。

【0030】また、前記半導体記憶装置において、前記電流遮断回路は、例えば、電流経路が前記第1および第2のヒューズと直列接続された電界効果トランジスタ

(例えば後述する実施の形態4で援用する図2に示すn型電界効果トランジスタTN0に相当する構成要素)

と、電源投入により、前記電界効果トランジスタをオン状態とし得る電位を該電界効果トランジスタのゲートに印加して安定するフリップフロップ回路(例えば後述するインバータIV50, IV51からなるフリップフロップに相当する構成要素)と、前記メモリセルアレイ内の欠陥を検査するためのテストモードを判別して前記フリップフロップ回路の安定状態を反転させる判別回路

(例えば後述するテストモードエントリ回路TMEに相当する構成要素)と、を備える。

【0031】また、前記半導体記憶装置において、前記判別回路は、例えば、前記フリップフロップ回路の安定状態を反転させる機能を無効とするためのヒューズ(例えば後述するヒューズF50に相当する構成要素)を備える。また、前記半導体記憶装置において、前記電流遮断回路は、例えば、電流経路が前記第1および第2のヒューズと直列接続された電界効果トランジスタ(例えば後述する実施の形態4で援用する図2に示すn型電界効果トランジスタTN0に相当する構成要素)と、前記電界効果トランジスタのゲートに接続されたフリップフロップ回路(例えば後述するインバータIV60, IV61からなるフリップフロップに相当する構成要素)と、電源投入を検出して前記フリップフロップ回路の安定状態をリセットするリセット回路(例えば後述するパワーオンリセット回路PONに相当する構成要素)と、を備える。

【0032】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

<実施の形態1>図1に、この発明の実施の形態1に係る半導体記憶回路の全体構成を概略的に示す。同図において、符号MARYはメモリセルアレイ、符号RDECは行デコーダ、符号CDECは列デコーダ、符号RROWは予備行、符号FADは欠陥アドレス検出回路、符号PRGは欠陥アドレス記憶回路、符号CMPはアドレス比較回路である。

【0033】ここで、メモリセルアレイMARYは、1ビットデータを記憶するためのメモリセルを行および列

のマトリックス状に配列して構成され、行に沿ってワード線が配線され、列に沿ってビット線が配線されている。行デコーダXDECは、行アドレスAXに基づきアクセスすべきメモリセルが属する行を特定するためのものであり、ワード線を択一的に駆動するものである。列デコーダYDECは、列アドレスAYに基づきアクセスすべきメモリセルが属する列を特定するためのものであり、ビット線を選択するものである。

【0034】予備行RROWは、メモリセルアレイMARYの行に対応づけて配列された予備のメモリセル群から構成され、このメモリセルアレイMARY内の正規のメモリセルと共通のビット線に接続される。欠陥アドレス検出回路FADは、欠陥アドレス記憶回路PRGおよびアドレス比較回路CMPから構成され、行アドレスAXと欠陥アドレスFAとの一致を検出して一致検出信号REを出力する。欠陥アドレス記憶回路PRGは、後述するように欠陥アドレスをプログラムするためのものであり、ヒューズを主体として構成され、このヒューズを切断することにより欠陥アドレスFAを記憶する。アドレス比較回路CMPは、行アドレスAXと欠陥アドレスFAとを比較するものであり、これらが等しい場合に一致検出信号REをハイレベルとする。

【0035】なお、この例では、予備行RROWのみを設けたが、救済の規模に応じて複数の予備行が設けられたり、欠陥の出現モードによっては予備列が設けられる。この場合、予備行および予備列ごとに欠陥アドレス検出回路FADに相当する回路が設けられる。

【0036】図2に、欠陥アドレス記憶回路PRGの詳細な構成を示す。同図において、符号F01, F02, F11, F12~Fn1, Fn2および符号FE0, FE1はヒューズ、符号TN0, TN1はn型電界効果トランジスタ、符号RRは負荷抵抗、符号PDはパッド電極であり、符号FA0, FA1~FAnは欠陥アドレスを表す。ここで、一対のヒューズF01とヒューズF02は電源と内部接地配線GLとの間に直列接続され、これらヒューズの接続点に現れる信号が欠陥アドレスFA0として出力される。以下同様にして、欠陥アドレスFA1~FAnについてヒューズF11, F12ないしヒューズFn1, Fn2がそれぞれ設けられる。即ち、電源と内部接地配線GLとの間に直列接続された一対のヒューズを単位として欠陥アドレスの個数分のヒューズが設けられる。

【0037】また、内部接地配線GLと接地との間には、電流経路が直列接続されたn型電界効果トランジスタTN0, TN1が設けられる。このうち、n型電界効果トランジスタTN0は、欠陥救済の要否を検査する場合にゲートに与えられる信号SSに基づきオフ状態となるものであって、そのゲートは電源パッドPDに接続されると共に負荷抵抗RRを介して電源に接続される。即ち、信号SSの信号レベルは、パッド電極PDまたは負

11

荷抵抗RRを介して設定可能となっている。一方のn型電界効果トランジスタT_{N1}は、欠陥救済の可否に応じてオン状態またはオフ状態となるものであって、ヒューズ回路FCにより導通状態が決定される。

【0038】ヒューズ回路FCは、電源と接地との間に、ヒューズFE₀、FE₁およびn型電界効果トランジスタT_{NE}を直列接続して構成され、n型電界効果トランジスタT_{NE}のゲートは上述のn型電界効果トランジスタT_{N0}のゲートと共にパッドPDに接続される。即ち、このn型電界効果トランジスタT_{NE}のゲートに 10 も上述の信号SSが共通に印加される。パッドPDは、プロービング試験において欠陥救済の可否を検査する場合に使用されるもので、ワイヤボンディングの対象とされない。従って、ワイヤボンディングの対象とされる通常のパッド電極に比較して、パッド電極PDは小さなサイズで足りる。

【0039】図2において、上述のパッド電極PDと、負荷抵抗RRと、n型電界効果トランジスタT_{N0}、T_{N1}と、ヒューズ回路FCは電流遮断回路CCAを構成する。この電流遮断回路CCAの構成要素のうち、n型 20 電界効果トランジスタT_{N0}と、パッド電極PDと、負荷抵抗RRは、欠陥救済の可否を検査する場合、互いに直列接続されたヒューズF₀₁、F₁₁～F_{n1}（第1のヒューズ）およびヒューズF₀₂、F₁₂～F_{n2}（第2のヒューズ）を貫通する電流を遮断するものとして機能する。また、ヒューズ回路FCは、欠陥救済の可否に応じて上記貫通電流を遮断するものとして機能する。

【0040】次に、欠陥アドレスのプログラムの仕方を説明する。後述するプロービング試験により取得された 30 欠陥アドレスに基づいて、各欠陥アドレスに対応する一対のヒューズの一方を切断する。例えば欠陥アドレスFA₀の論理値が「1」であれば、ヒューズF₀₂を切断する。これにより、一対のヒューズF₀₁とヒューズF₀₂との接続点には、未切断状態のヒューズF₀₁を介して電源電位（ハイレベル）が現れ、欠陥アドレスFA₀として論理値「1」がプログラムされた状態となる。同様にして、残りの欠陥アドレスFA₁～FA_nをプログラムする。

【0041】欠陥アドレスのプログラムに加えて、欠陥 40 救済の可否に応じてヒューズ回路FCのヒューズFE₀、FE₁の何れかを切断する。即ち、欠陥救済を必要とする場合にはヒューズFE₁を切断する。この場合、n型電界効果トランジスタT_{N1}のゲートにはヒューズFE₀を介して電源電位（ハイレベル）が印加され、このトランジスタがオン状態となる。逆に、欠陥救済を必要としない場合にはヒューズFE₁を切断する。この場合、n型電界効果トランジスタT_{NE}がオン状態にあれば、n型電界効果トランジスタT_{N1}のゲートには、ヒューズFE₁およびn型電界効果トランジスタT_{NE}を 50

12

介して接地電位（ロウレベル）が印加され、このトランジスタがオフ状態となる。

【0042】即ち、この欠陥アドレス記憶回路PRGによれば、パッド電極PDにロウレベルが印加されている場合、n型電界効果トランジスタT_{N0}が強制的にオフ状態となり、n型電界効果トランジスタT_{N1}の状態に関わりなく、内部接地配線GLと接地との間が電氣的に遮断された状態となる。また、外部からパッド電極PDに信号が印加されていない場合、n型電界効果トランジスタT_{N0}がオン状態に固定され、n型電界効果トランジスタT_{N1}の状態に応じて内部接地配線GLと接地との間の接続状態が定まる。この場合、n型電界効果トランジスタT_{N1}の状態は、ヒューズ回路FC内のヒューズFE₀、FE₁の何れが切断されているかにより決定される。

【0043】次に、この実施の形態1の動作を図2に基づいて説明する。

（1）欠陥救済の可否を検査する場合の動作

欠陥救済の可否を検査する場合、欠陥アドレスは未知であるから、欠陥アドレスをプログラムするためのヒューズF₀₁、F₀₂ないしヒューズF_{n1}、F_{n2}は未切断状態にある。欠陥救済の可否の検査は、プロービング試験の一つの項目として行われる。

【0044】プロービング試験を行う場合、パッド電極PDにテスト側のプローブを接触させ、このパッド電極PDに外部からロウレベルを印加する。これにより、n型電界効果トランジスタT_{N0}、T_{NE}のゲートには、信号SSとしてロウレベルが印加され、これらトランジスタは何れもオフ状態となる。このとき、n型電界効果トランジスタT_{N1}のゲートには、ヒューズFE₀を介してハイレベルが印加され、このトランジスタがオン状態となるが、このトランジスタT_{N1}と直列接続されたn型電界効果トランジスタT_{N0}がオフ状態となるので、内部接地配線GLは接地から切り離される。従って、プロービング試験において欠陥救済の可否を検査する場合に、未切断状態のヒューズF₀₁、F₀₂ないしヒューズF_{n1}、F_{n2}を介して電源と接地との間に貫通電流が流れることはない。また、n型電界効果トランジスタT_{NE}がオフ状態となるので、ヒューズFE₀、FE₁を介して電源と接地との間に貫通電流が流れることもない。

【0045】なお、パッド電極PDには外部からロウレベルが印加されるので、付加抵抗RRの両端部に電位差が生じ、この付加抵抗には電流が流れる。しかしながら、この電流は、パッド電極PDを介して外部のテストに流れ込むので、プロービング試験対象のこの半導体記憶装置の消費電流から分離することができる。また、負荷抵抗RRの値を十分大きく設定すれば、電源電位に与える影響もない。従って、パッド電極PDにロウレベルを印加したとしても、このことがプロービング試験の結

13

果に影響を及ぼすことはなく、従って半導体記憶装置の電気的特性を正しく評価することができる。

【0046】このプロービング試験により、良品と判定されたものと、欠陥救済可能と判定されたものとがパッケージに実装されて選別試験が行われる。ここで、実装に先立って、良品と判定されたものについては、図2に示す欠陥アドレス記憶回路PRG内のヒューズF01, f02, ..., Fn1, Fn2を未切断状態とすると共にレーザトリミング装置を用いてヒューズFE0を切断する。また、欠陥救済可能と判定されたものについては、¹⁰ 欠陥アドレスに応じて欠陥アドレス記憶回路PRG内のヒューズF01, F02, ..., Fn1, Fn2を選択的に切断すると共にヒューズFE1を切断し、この欠陥アドレス記憶回路PRGに欠陥アドレスをプログラムする。

【0047】(2) 欠陥救済を要する場合の動作
上述のようにしてプロービング試験により欠陥アドレスが取得され、この欠陥アドレスが欠陥アドレス記憶回路PRGにプログラムされる。以下、欠陥アドレス記憶回路PRGにはプロービング試験で取得された欠陥アドレ²⁰ スが予めプログラムされたものとして説明する。なお、説明を簡単にするため、欠陥アドレス(FA0, FA1, ..., FAn)を(1, 0, ..., 0)とする。この場合、図2に示す電源側に接続されたヒューズF01~Fn1のうちのヒューズF01のみが切断された状態にあり、接地側に接続されたF02~Fn2のうち、ヒューズF02を除くヒューズF12~Fn2が切断された状態にある。また、ヒューズ回路FC内のヒューズFE³⁰ 0, FE1のうち、ヒューズFE1が切断された状態にある。

【0048】まず、図2において、パッド電極PDに外部から印加される信号が存在しないため、n型電界効果トランジスタTN0のゲートには、負荷抵抗RRを介して電源電位のハイレベルが信号SSとして印加され、このトランジスタがオン状態に固定される。また、ヒューズ回路FC内のヒューズFE1が切断された状態にあるため、n型電界効果トランジスタTN1のゲートにはヒューズFE0を介して電源電位が印加され、このトランジスタもオン状態に固定される。従って、内部接地配線GLは、オン状態にあるn型電界効果トランジスタTN⁴⁰ 0, TN1を介して接地され、電源と接地との間には、直列接続された一対のヒューズF01, F02ないしヒューズFn1, Fn2が並列接続された状態となる。

【0049】ここで、一対のヒューズF01, F02のうち、接地側に接続されたヒューズF02が切断された状態にあり、電源側に接続されたヒューズF01が未切断状態にあるから、これらの接続点には欠陥アドレスFA0として論理値「1」が現れる。また、一対のヒューズF11, F12のうち、電源側に接続されたヒューズF11が切断された状態にあり、接地側に接続されたヒ⁵⁰

14

ューズF12が未切断状態にあるから、これらの接続点には欠陥アドレスFA1として論理値「0」が現れる。同様に、残りの欠陥アドレスFA2~FAnとして論理値「0」が現れる。このようにして、欠陥アドレス記憶回路PRGから欠陥アドレスFA0~FAnが出力される。

【0050】次に、図1に示す欠陥アドレス検出回路FADにおいて、アドレス比較回路CMPは、欠陥アドレス記憶回路PRGから出力される欠陥アドレスと、逐次入力される外部アドレスAXとを比較し、これらが一致した場合に一致検出信号REとしてハイレベルを出力する。即ち、欠陥アドレス検出回路FADは、メモリセルアレイMARYの行を指定する行アドレスのうち、欠陥が存在する行を指定する外部アドレスが入力された場合に一致検出信号REを出力する。

【0051】行デコーダXDECは、この一致検出信号REに基づき非活性状態となり、メモリセルアレイMARY内の正規の行の選択を禁止する。これと並行して予備行ROWが一致検出信号REに基づき選択される。これにより、欠陥を有する正規の行が予備行ROWで置換される。このように行の置換が行われると、欠陥アドレスで特定される正規の行に代わって予備行ROWが選択され、この予備行ROWに属するメモリセルにデータDQが記憶される。従って、メモリセルアレイMARY内に欠陥が存在していても、見かけ上、欠陥アドレスに対してデータの記憶が可能となり、欠陥が救済されることとなる。

【0052】なお、外部アドレスAXが欠陥アドレスと一致しない場合、即ち外部アドレスAXが欠陥の存在しない行を指定するものである場合、アドレス比較回路CMPが出力する一致検出信号REはロウレベルとされる。この場合、行デコーダXDECは、通常動作して外部アドレスAXに基づきメモリセルアレイMARY内の正規の行を選択し、予備行ROWは非選択状態に固定される。即ちこの場合、通常動作が行われ、予備行によるメモリセルの置換は行われない。

【0053】(3) 欠陥救済を要しない場合の動作
次に、メモリセルアレイMARY内に欠陥が存在しない場合の動作を図2に基づいて説明する。この場合、前述のように、ヒューズ回路FC内のヒューズFE0, FE1のうち、ヒューズFE0が切断状態とされる。この場合、n型電界効果トランジスタTNEのゲートには負荷抵抗RRを介して電源電位が印加され、このトランジスタTNEがオン状態となる。これにより、n型電界効果トランジスタTN1のゲートには、未切断状態のヒューズFE1およびオン状態のn型電界効果トランジスタTNEを介して接地電位が印加され、n型電界効果トランジスタTN1がオフ状態に固定される。この結果、内部接地配線GLは接地から電気的に遮断される。

【0054】また、ヒューズF01, F02~Fn1,

15

F_{n2}は何れも未切断状態にある。従ってこの場合、欠陥アドレスFA0～FAnとして論理値「1」が出力されることとなる。この欠陥アドレスは、図1に示すアドレス比較回路CMPに入力されるが、欠陥アドレス比較回路CMPは、この欠陥アドレスを無視し、一致検出信号REをロウレベルに固定する。具体的には、アドレス比較回路CMPは、上述のヒューズ回路FCからn型電界効果トランジスタTN1のゲートに印加される信号レベルを参照し、この信号レベルがロウレベルの場合、即ち欠陥救済を要しない場合、欠陥アドレス記憶回路PRGから出力される欠陥アドレスに関わらず一致検出信号REをロウレベルに固定する。この一致検出信号REを受けて、行デコーダXDECは、通常動作してメモリセルアレイMARY内の正規の行を選択し、予備行ROWは非選択状態に固定される。即ちこの場合、予備行ROWは使用されず、冗長回路は機能しない。

【0055】以上説明した実施の形態1によれば、欠陥アドレスがヒューズを介して直接的に電源または接地の何れかから供給されるので、低消費電流で高速に欠陥救済を行うことができる。また、この実施の形態1によれば、欠陥救済の要否を検査する場合にパッド電極PDにロウレベルを印加することにより、内部接地配線GLと接地との間が電氣的に遮断される。従って、プロービング試験を行う場合、欠陥アドレスをプログラムするためのヒューズF01、F02～Fn1、Fn2が未切断状態であっても、これらのヒューズを介して電源と接地との間に電流が流れることがない。よって、欠陥救済の要否の検査を正しく行うことが可能となる。さらに、この実施の形態1によれば、パッド電極PDをワイヤボンディングの対象外としたので、プローブを可能とする限度においてパッド電極PDのサイズを小さくすることが可能となる。従って、パッド電極PDを設けることによるスペースの増加を小さく抑えることが可能となる。

【0056】＜実施の形態2＞以下、この発明の実施の形態2を説明する。この実施の形態2では、上述の実施の形態1に係る構成において、図2に示す欠陥アドレス記憶回路PRGに代えて、図3に示す欠陥アドレス記憶回路PRG2を備える。なお、図3において、図2に示す構成要素と共通する要素には同一符号を付す。

【0057】図3に示す欠陥アドレス記憶回路PRG2は、信号Sに基づき上述の欠陥アドレス記憶回路PRGと同様の機能を発揮するように構成される。即ち、n型電界効果トランジスタTN0、TN1に代えてn型電界効果トランジスタTN10を設け、そのドレインを内部接地配線GLに接続し、そのゲートをヒューズ回路FC内のヒューズFE0とヒューズFE1との接続点に接続し、そのソースをn型電界効果トランジスタTNEのドレインに接続したものである。

【0058】n型電界効果トランジスタTNEのゲートには、信号Sが印加される。この信号Sは、例えば専用

16

の入力端子を介して外部から与えられる信号であり、あるいはテストモードがエンタリーされた場合に内部で発生される信号である。図3において、n型電界効果トランジスタTN10とヒューズ回路FCは電流遮断回路CCBを構成する。この電流遮断回路CCBは、上述の実施の形態1と同様に、欠陥救済の要否を検査する場合、互いに直列接続されたヒューズF01、F11～Fn1（第1のヒューズ）およびヒューズF02、F12～Fn2（第2のヒューズ）を貫通する電流を遮断する機能と、欠陥救済の要否に応じて上記貫通電流を遮断する機能とを備える。

【0059】次に、この実施の形態2の動作を説明する。

（1）欠陥救済の要否を検査する場合の動作

欠陥救済の要否を検査する場合、信号Sをロウレベルとする。この信号Sが外部から入力されるものであれば、外部から信号Sとしてロウレベルを印加する。また、この信号Sがテストモードがエンタリーされた場合に発生するものであれば、テストモードをエンタリーして信号Sをロウレベルにする。信号Sがロウレベルになると、n型電界効果トランジスタTNEがオフ状態となる。

【0060】これにより、n型電界効果トランジスタTN10の状態に関わらず、内部接地配線GLは接地から切り離される。従って、プロービング試験において欠陥救済の要否を検査する場合に、ヒューズF01、F02ないしヒューズFn1、Fn2を介して電源と接地との間に貫通電流が流れることはない。また、n型電界効果トランジスタTNEがオフ状態となるので、ヒューズFE0、FE1を介して電源と接地との間に貫通電流が流れることもない。

【0061】（2）欠陥救済を要する場合の動作

プロービング試験により欠陥アドレスが取得されると、この欠陥アドレスに基づき、ヒューズF01、F02～Fn1、Fn2が選択的に切断される。また、ヒューズ回路FC内のヒューズFE0、FE1のうち、ヒューズFE1が切断される。そして、信号Sとしてハイレベルが印加される。これにより、n型電界効果トランジスタTN10のゲートには、ヒューズFE0を介して電源電位が印加され、このトランジスタがオン状態となる。

【0062】また、信号Sとしてゲートにハイレベルが印加されるn型電界効果トランジスタTNEもオン状態となる。従って、内部接地配線GLは、オン状態にあるn型電界効果トランジスタTN10、TNEを介して接地され、電源と接地との間には、直列接続された一対のヒューズF01、F02ないしヒューズFn1、Fn2が並列接続された状態となる。よって、各ヒューズの切断状態に応じて欠陥アドレスFA0～FAnが出力される。

【0063】（3）欠陥救済を要しない場合の動作

次に、メモリセルアレイMARY内に欠陥が存在せず、

17

欠陥救済を要しない場合、ヒューズ回路FC内のヒューズFE0、FE1のうち、ヒューズFE0が切断される。この場合、n型電界効果トランジスタTN10のゲートとソースがヒューズFE1を介して接続された状態となるので、このトランジスタがオフ状態となり、内部接地配線GLが接地から電氣的に遮断される。この場合、上述の実施の形態1と同様に、ヒューズF01、F02～Fn1、Fn2は何れも未切断状態にあるため、欠陥アドレスFA0～FAnとして論理値「1」が図1に示す欠陥アドレス比較回路CMPに出力されるが、欠陥アドレス比較回路CMPはこの欠陥アドレスを無視する。従って冗長回路は機能しない。

【0064】以上説明した実施の形態2によれば、上述の実施の形態1により得られる効果に加えて、信号Sに基づきヒューズを流れる電流を遮断するようにしたので、専用のパッド電極を設ける必要がなくなり、レイアウト上の制約を緩和することが可能となる。また、パッケージに実装した後であっても、ヒューズに流れる電流を遮断することが可能となる。従って例えばバーニンなどの品質評価試験で発生した不良を解析する際に、ヒューズを流れる電流成分を排除し、回路特性を正しく評価することが可能となる。

【0065】＜実施の形態3＞以下、この発明に係る実施の形態3を説明する。図4に、この発明の実施の形態3に係る欠陥アドレス記憶回路PRG3の構成を示す。この欠陥アドレス記憶回路PRG3は、上述の図2に示す実施の形態1に係る構成において、n型電界効果トランジスタTN1およびヒューズ回路FCに代えてヒューズFEを備え、内部接地配線GLと接地との間にヒューズFEおよびn型電界効果トランジスタTN0を直列接続したものである。

【0066】図4において、n型電界効果トランジスタTN0と、ヒューズFEと、パッド電極PDと、負荷抵抗RRは電流遮断回路CCCを構成し、この電流遮断回路CCCは、上述の実施の形態1および2と同様に、欠陥救済の要否を検査する場合、互いに直列接続されたヒューズF01、F11～Fn1（第1のヒューズ）およびヒューズF02、F12～Fn2（第2のヒューズ）を貫通する電流を遮断する機能と、欠陥救済の要否に応じて貫通電流を遮断する機能とを備える。

【0067】次に、この実施の形態3の動作を説明する。

（1）欠陥救済の要否を検査する場合の動作

欠陥救済の要否を検査する場合、前述の実施の形態1と同様に、パッド電極PDにロウレベルを印加する。これにより、n型電界効果トランジスタTN0がオフ状態となり、内部接地配線GLが接地から切り離される。従って、欠陥救済の要否を検査する場合に、ヒューズF01、F02ないしヒューズFn1、Fn2を介して電源と接地との間に貫通電流が流れることはない。

18

【0068】（2）欠陥救済を要する場合の動作

プロービング試験により欠陥アドレスが取得され、この欠陥アドレスが欠陥アドレス記憶回路PRGに予めプログラムされる。即ち、欠陥アドレスに応じてヒューズF01、F02～Fn1、Fn2が選択的に切断される。また、ヒューズFEは未切断状態とされる。

【0069】この場合、外部からパッド電極PDに印加される信号が存在しないため、n型電界効果トランジスタTN0のゲートには負荷抵抗RRを介して電源電位が印加され、このトランジスタがオン状態に固定される。従って、内部接地配線GLは、オン状態にあるn型電界効果トランジスタTN0およびヒューズFEを介して接地され、電源と接地との間には、直列接続された一対のヒューズF01、F02ないしヒューズFn1、Fn2が並列接続された状態となる。よって、各ヒューズの切断状態に応じて欠陥アドレスFA0～FAnが出力される。

【0070】（3）欠陥救済を要しない場合の動作

この場合、ヒューズFEを切断し、内部接地配線GLは接地から電氣的に切り離す。これにより、未切断状態のヒューズF01、F02～Fn1、Fn2を介して貫通電流が流れることがなくなる。この場合、欠陥アドレスFA0～FAnとして論理値「1」が出力されるが、図1に示す欠陥アドレス比較回路CMPは、この欠陥アドレスを無視し、一致検出信号REをロウレベルに固定する。従って冗長回路は機能しない。この実施の形態3によれば、必要最小限の素子数で上述の実施の形態1および実施の形態2と同等の機能を実現することが可能となる。

【0071】＜実施の形態4＞以下、この発明に係る実施の形態4を説明する。前述の実施の形態1では、専用のパッド電極PDおよび負荷抵抗RRを設け、パッド電極PDにロウレベルを印加するか否かにより、信号SSのレベルを操作してn型電界効果トランジスタTN0を制御するものとしたが、この実施の形態4では、専用のパッド電極PDを設けることなく、図5に示す状態制御回路CNTにより上述の信号SSを生成してn型電界効果トランジスタTN0の状態を制御する。

【0072】図5において、符号TMEはテストモードエントリー回路、符号F50はヒューズ、符号R50は抵抗、符号TN50はn型電界効果トランジスタ、符号C50、C51はコンデンサ、符号IV50、IV51、IV52はインバータである。ここで、テストモードエントリー回路TMEは、外部から動作モードをテストモードに設定するためのものであり、チップセレクト信号CS、アウトプットイネーブル信号OE、ライトイネーブル信号WEなどの外部制御信号の組み合わせが所定の条件を満足した場合にテストモード信号STとしてハイレベルを出力する。

【0073】インバータIV50、IV51はフリップ

19

フリップフロップを構成する。このフリップフロップの一方の内部ノードのうち、一方の内部ノードND50と電源との間にはコンデンサC50が接続され、他方の内部ノードND51と接地との間にはコンデンサC51が接続される。内部ノードND50と接地との間にはn型電界効果トランジスタTN50が設けられ、このn型電界効果トランジスタTN50の電流駆動能力はインバータIV50の電流駆動能力よりも大きく設定される。n型電界効果トランジスタTN50のゲートは、ヒューズF50を介してテストモードエントリ回路TMEの出力部に接

続されると共に、抵抗R50を介して接地される。
 【0074】テストモードエントリ回路TMEから出力されるリセット信号STはヒューズF50を介してn型電界効果トランジスタTN50のゲートに与えられ、このヒューズを切断すると、このテストモード信号STが無効化される。抵抗R50は、ヒューズF50が切断された場合、テストモードエントリ回路TMEの出力部から切り離されたn型電界効果トランジスタTN50のゲートをプルダウンしてこのトランジスタをオフ状態に固定する。フリップフロップの内部ノードND51にはインバータIV52の入力部が接続され、このインバータIV52の出力信号は、信号SSとして図2に示すn型電界効果トランジスタTN0のゲートに与えられる。

【0075】次に、この実施の形態4の動作を説明する。

(1) 欠陥救済の要否を検査する場合の動作
 欠陥救済の要否を検査する場合、ヒューズF50は未切断状態のままとし、所定の条件を満足した状態に外部制御信号を予め設定しておく。この状態で電源を投入すると、テストモードエントリ回路TMEはテストモード信号STとしてハイレベルを出力し、n型電界効果トランジスタTN50をオン状態とする。

【0076】これにより、インバータIV50、IV51からなるフリップフロップは、内部ノードND50およびND51にそれぞれロウレベルおよびハイレベルが現れた状態で安定し、インバータIV52は信号SSとしてロウレベルを出力する。このインバータIV52の出力をゲートで受ける図2に示すn型電界効果トランジスタTN0はオフ状態に固定される。従って、欠陥救済の要否を検査する際にヒューズF01、F02～Fn1、Fn2が未切断状態であっても、これらのヒューズを介して貫通電流が流れることがない。

【0077】(2) 検査後の通常動作
 欠陥救済の要否を検査した後、ヒューズF50を切断する。これにより、テストモードエントリ回路TMEから出力されるテストモード信号STが無効化され、検査後の動作において、誤ってテストモードがエントリされることがなくなる。このヒューズF50の切断に加えて、欠陥救済を要する場合には、上述の図2に示すヒューズFE0、FE1のうち、ヒューズFE1を切断し、欠陥アドレスに応じてヒューズF01、F02～Fn1、Fn2を選択的に切断する。また、欠陥救済を要しない場合には、ヒューズFE0、FE1のうち、ヒューズFE0を切断し、ヒューズF01、F02～Fn1、Fn2については未切断状態のままとする。

20

【0078】上述のようにヒューズF50が切断されると、n型電界効果トランジスタTN50のゲートが抵抗R50によりプルダウンされ、このn型電界効果トランジスタTN50がオフ状態に固定される。このような状態で電源が立ち上がると、電源電位の変化がコンデンサC50を介して内部ノードND50に現れ、電源電位に従って内部ノードND50の電位が上昇する。これに対し、内部ノードND51の電位はコンデンサC51により接地電位に維持される。

【0079】従って、電源の投入により内部ノードND50の電位が内部ノードND51よりも高くなり、内部ノードND50および内部ノードND51にそれぞれハイレベルおよびロウレベルが現れた状態でフリップフロップが安定する。インバータIN52は、内部ノードND51に現れたロウレベルを入力し、信号SSとしてハイレベルを出力する。これにより、図2に示すn型電界効果トランジスタTN0はオン状態に固定される。従って、同図に示す欠陥アドレス記憶回路PRGが機能し得る状態となる。

【0080】＜実施の形態5＞以下、この発明に係る実施の形態5を説明する。前述の実施の形態4では、外部制御信号に基づきテストモードをエントリすることにより状態制御回路CNT内のフリップフロップの初期の安定状態を決定するものとしたが、この実施の形態5では、電源の立ち上がりを検出して状態制御回路内のフリップフロップの初期の安定状態を決定する。

【0081】図6に、この実施の形態5に係る状態制御回路CNT2の構成を示す。同図において、符号PONはパワーオンリセット回路、符号IV60、IV61、IV62はインバータ、符号TN60、TN61はn型電界効果トランジスタ、符号60はヒューズである。ここで、インバータIV60～IV62はフリップフロップを構成する上述のインバータIV50～IV52に相当し、内部ノードND60、ND61は上述の内部ノードND50、ND51に相当する。フリップフロップを構成するインバータIV60とインバータIV61の電流駆動能力は等しく設定される。

【0082】内部ノードND60と接地との間には、ヒューズF60とn型電界効果トランジスタTN60とが直列接続され、内部ノードND61と接地との間にはn型電界効果トランジスタTN61が接続される。これらn型電界効果トランジスタTN60、TN61の電流駆動能力は互いに異なり、n型電界効果トランジスタTN61に対してn型電界効果トランジスタTN60の電流

21

駆動能力が大きく設定される。しかも、これらn型電界効果トランジスタTN60、TN61の電流駆動能力は、インバータIV60、IV61の電流駆動能力よりも大きく設定される。n型電界効果トランジスタTN60、TN61のゲートには、後述するパワーオンリセット回路PONから出力されるリセット信号SRが印加される。

【0083】上述のインバータIV62の出力信号は、前述の図2に示す欠陥アドレス記憶回路PRGのn型電界効果トランジスタTN0のゲートに上述の信号SSとして与えられる。ただし、この実施の形態5では、図2において、n型電界効果トランジスタTN0のソースは接地され、n型電界効果トランジスタTN1とヒューズ回路FCは削除されているものとする。

【0084】図7に、パワーオンリセット回路PONの構成例を示す。パワーオンリセット回路PONは、電源の投入を検出してパルス状のリセット信号SRを出力するものである。パワーオンリセット回路PONは、単安定フリップフロップを基本として構成され、電源投入後、リセット信号SRのレベルが一時的に電源電位の上昇に追従するように構成される。具体的には、CMOS (Complementary MOS) 構成のインバータIV70とn型電界効果トランジスタTN70と抵抗R70とが単安定フリップフロップを構成する。インバータIV70の入力部と接地との間には、抵抗R70とn型電界効果トランジスタTN70とが直列接続され、このn型トランジスタTN70のゲートはインバータIV70の出力部に接続される。

【0085】また、インバータIV70の入力部と接地との間にはコンデンサC70が接続されると共に、この入力部と電源との間には、ダイオードD70が接続される。このダイオードD70のアノードは電源に接続され、そのカソードはインバータIV70の入力部に接続され、電源電位が上昇した場合に電源からインバータIV70の入力部に向けて順方向電流が流れるようになっている。インバータIV70の出力部と電源との間にはコンデンサC71が接続されると共に、この出力部には、インバータIV71、IV72からなるバッファが接続される。

【0086】ここで、このパワーオンリセット回路PONの動作を簡単に説明しておく。なお、インバータを構成する電界効果トランジスタのゲート閾値電圧に起因して、電源電圧0V付近でインバータは正常に動作しないが、この実施の形態では、説明を簡略化するため、インバータIV70～IV72は電源電圧0V付近から動作するものとする。電源投入前の状態では、電源電位が接地電位付近にある。この状態から電源が投入され、電源電位が上昇を開始すると、電源電位の変化がコンデンサC71を介してインバータIV70の出力部に現れ、この出力部の電位が上昇する。

22

【0087】一方、インバータIV70の入力部の電位はコンデンサC70により接地電位に保持される。そして、インバータIV70の出力部に現れる電位を受けてn型電界効果トランジスタTN70がオン状態となると、抵抗R70を介してインバータIV70の入力部がロウレベルに固定される。この結果、インバータIV70、n型電界効果トランジスタTN70、および抵抗R70から構成される帰還系が安定し、インバータIV70がハイレベル（電源電位）を出力し、インバータIV72がリセット信号SRとしてハイレベルを出力する。このリセット信号SRの信号レベルは、上述の帰還系が安定している間、電源電圧に追従して上昇する。

【0088】さらに電源電位が上昇し、ダイオードD70のアノードとカソードとの間の電位差がpn接合の障壁電位を越えると、このダイオードD70を順方向電流が流れ、インバータIV70の入力部の電位が電源電位に追従して上昇する。そして、この電位がインバータIV70の入力閾値を越えると、このインバータIV70はロウレベルを出力する。この結果、リセット信号SRはロウレベル（接地電位）となる。即ち、このパワーオンリセット回路PONによれば、インバータIV70の入力部の電位がその入力閾値を越えるまでの電源投入後の一定期間、リセット信号SRは電源電位の上昇に従ってハイレベルを維持した後、ロウレベルとなる。従って、リセット信号SRとして、電源投入により一時的にハイレベルとなるパルス状の信号が出力される。

【0089】次に、図6を参照して、この実施の形態5の動作を説明する。

(1) 欠陥救済の要否を検査する場合の動作
電源が投入されると、上述のように、パワーオンリセット回路PONは、電源の投入を検出してリセット信号SRをn型電界効果トランジスタTN60、TN61のゲートに出力する。これらn型電界効果トランジスタTN60、TN61は、リセット信号SRがハイレベルとなってそのゲート閾値電圧を越えるとオン状態となり、ノードND60およびノードND61をそれぞれロウレベルに駆動する。このロウレベルを入力するインバータIV60およびインバータIV61は、ノードND61およびノードND60をそれぞれハイレベルに駆動しようとする。

【0090】ここで、ノードND60の電位は、インバータIV61の電流駆動能力とn型電界効果トランジスタTN60の電流駆動能力とにより定まり、ノードND61の電位は、インバータIV60の電流駆動能力とn型電界効果トランジスタTN61の電流駆動能力とにより定まる。この場合、インバータIV60とインバータIV61の電流駆動能力が等しく、n型電界効果トランジスタTN60の方がn型電界効果トランジスタTN61よりも大きいので、ノードND60の電位はノードND61よりも低くなる。

23

【0091】次に、電源電位がさらに上昇してリセット信号SRがロウレベルになると、n型電界効果トランジスタTN60、TN61がオフ状態となる。このとき、上述のようにノードND60の電位はノードND61よりも低い状態にあるから、これを初期状態としてフリップフロップが安定する。この結果、ノードND61にはハイレベルが現れ、これを入力するインバータIV62は、上述の図2に示すn型電界効果トランジスタTN0のゲートに信号SSとしてロウレベルを出力し、このn型電界効果トランジスタTN0がオフ状態となる。これにより、欠陥救済の要否を検査する場合に未切断状態のヒューズF01、F02～Fn1、Fn2を流れる電流が遮断される。

【0092】(2) 欠陥救済を要する場合の動作
欠陥救済を要する場合、ヒューズF60が切断される。また、プロービング試験により取得された欠陥アドレスに応じてヒューズF01、F02～Fn1、Fn2が選択的に切断され、欠陥アドレス記憶回路PRGに欠陥アドレスがプログラムされる。この場合、電源投入によりパワーオンリセット回路PONがリセット信号SRを出20力すると、この信号をゲートで受けるn型電界効果トランジスタTN60、TN61がオン状態となる。ここで、ヒューズF60が切断された状態にあるので、一方のノードND60はn型電界効果トランジスタTN60によってロウレベルに駆動されず、他方のノードND61のみがn型電界効果トランジスタTN61によってロウレベルに駆動される。

【0093】この結果、インバータIV60、IV61から構成されるフリップフロップは、ノードND60およびノードND61がそれぞれハイレベルおよびロウレ30ベルとなった状態で安定する。インバータIV62は、ノードND61のロウレベルを入力して図2に示すn型電界効果トランジスタTN0のゲートに信号SSとしてハイレベルを与え、このn型電界効果トランジスタTN0をオン状態とする。従って、この場合、図2に示す欠陥アドレス記憶回路PRGは、ヒューズF01、F02ないしヒューズFn1、Fn2の切断状態に応じて欠陥アドレスFA0～FAnを出力する。

【0094】(3) 欠陥救済を要しない場合の動作
この場合、ヒューズF60を切断せず、そのままとす40る。また、欠陥アドレスをプログラムする必要がないため、ヒューズF01、F02～Fn1、Fn2を未切断状態のままとする。この場合、上述の欠陥救済の要否を検査する場合と同様に、電源の投入によりパワーオンリセット回路PONがリセット信号SRを出力すると、インバータIV62が信号SSとしてロウレベルを出力し、図2に示すn型電界効果トランジスタTN0がオフ状態に固定される。従って、冗長回路は機能しない。

【0095】この実施の形態5によれば、電源の投入を検出してn型電界効果トランジスタTN0を制御するた50

24

めの信号を出力するようにしたので、上述の実施の形態1ないし4のように外部から信号を与えることなく、欠陥アドレスをプログラムするためのヒューズを流れる電流を遮断することができる。また、ヒューズF60のみにより、冗長回路を機能させるか否かを設定することができ、欠陥アドレスをプログラムするためのヒューズ以外に必要とされるヒューズの数をも最小限に抑えることができる。

【0096】<実施の形態6>以下、この発明の実施の形態6を説明する。前述の実施の形態1では、ひとつの欠陥アドレスを記憶するアドレス記憶回路の構成を示したが、この実施の形態6では、複数の欠陥アドレスを記憶し、複数の欠陥に対する救済が可能な構成を示す。図8に、この実施の形態6に係る欠陥アドレス記憶回路の構成を示す。同図において、符号PD80はパッド電極、符号R80は負荷抵抗、符号TP80はp型電界効果トランジスタ、符号F80～F86はヒューズ、PRG80～PRG83はアドレスプログラム回路である。このアドレスプログラム回路PRG80～PRG83は、前述の図2に示す構成において、パッド電極PD、負荷抵抗R、n型電界効果トランジスタTN0、およびヒューズ回路FCを省き、n型電界効果トランジスタTN1を内部接地配線GLと接地との間に接続したものに相当する。

【0097】以下、具体的に構成を説明する。p型電界効果トランジスタTP80のソースは電源に接続される。このp型電界効果トランジスタTP80のゲートは、パッド電極PD80に接続されると共に、負荷抵抗R80を介して接地される。p型電界効果トランジスタTP80のドレインと接地との間には、ヒューズF80～F83がこの順に直列接続される。また、ヒューズF81～F83と並列にF84～F86が接続される。

【0098】ヒューズF81とヒューズF82との接続点ND81には、上述のアドレスプログラム回路PRG80が接続され、ヒューズF82とヒューズF83との接続点ND82には、上述のアドレスプログラム回路PRG81が接続される。また、ヒューズF84とヒューズF85との接続点ND83には、上述のアドレスプログラム回路PRG82が接続され、ヒューズF85とヒューズF86との接続点ND84には上述のアドレスプログラム回路PRG83が接続される。各ヒューズの接続点ND81～ND84には、アドレスプログラム回路PRG80～PRG83をなす上述の図2に示すn型電界効果トランジスタTN1のゲートがそれぞれ接続される。

【0099】以下、この実施の形態6の動作を説明する。欠陥救済の要否を検査する場合、パッド電極PDにハイレベルを印加し、p型電界効果トランジスタTP80をオフ状態に固定する。この場合、各ヒューズの接続点ND81～ND84にはヒューズを介して接地電位が

25

現れ、各アドレスプログラム回路のn型電界効果トランジスタTN1のゲートにはロウレベルが与えられる。従って、この場合、各アドレスプログラム回路を構成する未切断状態のヒューズF01, F02~Fn1, Fn2を介して流れる電流が遮断される。

【0100】また、検査の結果、欠陥救済を要しない場合、ヒューズF80を切断する。これにより、p型電界効果トランジスタTP80を切断した場合と同様に、各アドレスプログラム回路のn型電界効果トランジスタTN1がオフ状態となり、未切断状態（未プログラム状¹⁰態）のヒューズを流れる電流が遮断される。これに対して、欠陥救済を要する場合、ヒューズF80を未切断状態とし、欠陥数に応じてヒューズF81~F86を選択的に切断する。

【0101】欠陥救済を要する場合の動作をさらに具体的に説明する。欠陥数が「1」であって、アドレスプログラム回路PRG80に欠陥アドレスを記憶する場合、ヒューズF82およびヒューズF84を切断する。これにより、接続点ND81には電源電位が現れ、この接続点に接続されたアドレスプログラム回路PRG80のn²⁰型電界効果トランジスタTN1がオン状態に固定される。従ってこの場合、アドレスプログラム回路PRG80のヒューズの切断状態に応じた1種類の欠陥アドレスが出力される。また、接続点ND82, ND83, ND84には接地電位が現れ、これらの接続点に接続されたアドレスプログラム回路PRG81, PRG82, PRG83において未切断状態のヒューズを流れる電流が遮断される。

【0102】また、欠陥数が「2」であって、アドレスプログラム回路PRG80, PRG81に各欠陥アドレ³⁰スを記憶する場合、ヒューズF83, F84を切断する。これにより、接続点ND81, ND82には電源電位が現れ、これらの接続点にそれぞれ接続されたアドレスプログラム回路PRG80, PRG81の各n型電界効果トランジスタTN1がオン状態に固定される。従ってこの場合、アドレスプログラム回路PRG80, PRG81のヒューズの切断状態に応じた2種類の欠陥アドレスが出力される。また、接続点ND83, ND84には接地電位が現れ、これらの接続点に接続されたアドレスプログラム回路PRG82, PRG83において未切⁴⁰断状態のヒューズを流れる電流が遮断される。

【0103】さらに、欠陥数が「3」であって、アドレスプログラム回路PRG80, PRG81, PRG82に各欠陥アドレスを記憶する場合、ヒューズF83, F85を切断する。これにより、接続点ND81, ND82, ND83には電源電位が現れ、これらの接続点に接続されたアドレスプログラム回路PRG80, PRG81, PRG82内の各n型電界効果トランジスタTN1がオン状態に固定される。従ってこの場合、アドレスプログラム回路PRG80, PRG81, PRG82のヒ⁵⁰

26

ューズの切断状態に応じた3種類の欠陥アドレスが出力される。また、接続点ND84には接地電位が現れ、この接続点に接続されたアドレスプログラム回路PRG83において未切断状態のヒューズを流れる電流が遮断される。

【0104】さらにまた、欠陥数が「4」であって、アドレスプログラム回路PRG80, PRG81, PEG82, PRG83に各欠陥アドレスを記憶する場合、ヒューズF83, F86を切断する。これにより、接続点ND81, ND82, ND83, ND84には電源電位が現れ、これらの接続点に接続されたアドレスプログラム回路PRG80, PRG81, PEG82, PRG83の各n型電界効果トランジスタTN1がオン状態に固定される。従ってこの場合、アドレスプログラム回路PRG80, PRG81, PEG82, PRG83のヒューズの切断状態に応じた4種類の欠陥アドレスが出力される。この実施の形態6によれば、n型電界効果トランジスタTN1を制御するためのヒューズ数を削減することが可能となる。

【0105】以上、この発明の実施の形態1ないし6を説明したが、この発明は、これらの実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。例えば、上述の実施の形態1ないし6では、欠陥アドレスをプログラムするためのヒューズF01, F02~Fn1, Fn2に対して接地側に電流遮断用のn型電界効果トランジスタTN0, TN1, TN10やヒューズFEを設けたが、これに限定されることなく、これらに相当するp型電界効果トランジスタやヒューズを電源側に設けてもよい。

【0106】また、上述の実施の形態1および3では、電流遮断用のn型電界効果トランジスタTN0のゲートにパッド電極PDを直接的に接続するものとしたが、これに限定されることなく、パッド電極PDとn型電界効果トランジスタTN0のゲートとの間に、静電破壊防止用の抵抗や容量を設けてもよい。さらに、実施の形態4では、n型電界効果トランジスタTN50によりノードND50をロウレベルに駆動するものとしたが、ノードND51をハイレベルに駆動するものとしてもよく、これらを併用してもよい。

【0107】さらにまた、実施の形態5では、n型電界効果トランジスタTN60, TN61によりノードND60, ND61をロウレベル側に駆動するものとしたが、ノードND60とND61との間の電位関係が同じであれば、p型電界効果トランジスタによりハイレベル側に駆動するものとしてもよい。さらにまた、実施の形態6では、電源側に電流遮断用のp型電界効果トランジスタTP80およびヒューズF80を設け、検査の際にp型電界効果トランジスタTP80をオフ状態とするものとしたが、これに限定されることなく、これらp型電界効果トランジスタTP80およびヒューズF80に相

27

当する n 型電界効果トランジスタおよびヒューズを接地側に設けてもよい。

【0108】

【発明の効果】この発明によれば、以下の効果を得ることができる。すなわち、この発明によれば、欠陥アドレス記憶回路として、電源と接地との間に直列接続され、欠陥アドレスの論理値に応じて相補的に切断すべき第 1 および第 2 のヒューズと、欠陥救済の要否を検査する場合に前記第 1 および第 2 のヒューズを貫通する電流を遮断する電流遮断回路とを備えたので、低消費電流で高速に欠陥救済を行うことができ、しかも欠陥救済の要否を検査する際に過大な電流が発生することがない。従って、欠陥救済の要否を正しく検査することが可能となる。

【0109】また、前記電流遮断回路として、欠陥救済の要否に応じて、第 1 および第 2 のヒューズを貫通する電流を遮断する機能をさらに備えたので、欠陥救済を要しない場合に前記第 1 および第 2 のヒューズを未切断状態としても、これらのヒューズを貫通電流が流れることがない。

【0110】さらに、前記電流遮断回路として、電流経路が前記第 1 および第 2 のヒューズと直列接続された第 1 および第 2 の電界効果トランジスタと、前記第 1 の電界効果トランジスタのゲートに接続されたパッド電極と、電源と前記第 1 の電界効果トランジスタのゲートとの間に接続された負荷抵抗と、前記欠陥救済の要否に応じて前記第 2 の電界効果トランジスタの導通状態を決定するヒューズ回路と、を備えたので、前記第 1 および第 2 のヒューズを貫通する電流を遮断するための機能を実現することが可能となる。

【0111】さらにまた、前記電流遮断回路として、前記第 1 および第 2 のヒューズと直列接続された電界効果トランジスタと、電源投入により、前記電界効果トランジスタをオン状態とし得る電位を該電界効果トランジスタのゲートに印加して安定するフリップフロップ回路と、前記メモリセルアレイ内の欠陥を検査するためのテストモードを判別して前記フリップフロップ回路の安定状態を反転させる判別回路とを備えたので、専用のパッド電極を設けることなく、前記第 1 および第 2 のヒューズを貫通する電流を遮断することが可能となる。さらにまた、前記判別回路は、前記フリップフロップ回路の安定状態を反転させる機能を無効とするためのヒューズを備えたので、検査の後に、前記第 1 および第 2 のヒューズを貫通する電流を誤って遮断することが防止できる。

【0112】さらにまた、前記電流遮断回路として、前記第 1 および第 2 のヒューズと直列接続された電界効果トランジスタと、前記電界効果トランジスタのゲートに接続されたフリップフロップ回路と、電源投入を検出して前記フリップフロップ回路の安定状態をリセットするリセット回路とを備えたので、外部から何ら信号を印加

28

することなく、前記第 1 および第 2 のヒューズを貫通する電流を遮断することが可能となる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 に係る半導体記憶装置の全体構成を概略的に示すブロック図である。

【図 2】 この発明の実施の形態 1 に係る欠陥アドレス記憶回路の構成を示す回路図である。

【図 3】 この発明の実施の形態 2 に係る欠陥アドレス記憶回路の構成を示す回路図である。

【図 4】 この発明の実施の形態 3 に係る欠陥アドレス記憶回路の構成を示す回路図である。

【図 5】 この発明の実施の形態 4 に係る状態制御回路の構成を示す回路図である。

【図 6】 この発明の実施の形態 5 に係る状態制御回路の構成を示す回路図である。

【図 7】 この発明の実施の形態 5 に係るパワーオンリセット回路の構成および動作を説明するための図である。

【図 8】 この発明の実施の形態 6 に係る欠陥アドレス記憶回路の構成を示す回路図である。

【図 9】 第 1 の従来技術の構成を示すブロック図である。

【図 10】 第 2 の従来技術の構成を示す回路図である。

【図 11】 第 3 の従来技術の構成を示す回路図である。

【図 12】 第 4 の従来技術の構成を示す回路図である。

【符号の説明】

C50, C51, C70, C71 : コンデンサ

CCA~CCC : 電流遮断回路

CMP : アドレス比較回路

D70 : ダイオード

FAD : 欠陥アドレス検出回路

F01, F02~Fn1, Fn2, FE0, FE1, FE, F50, F60, F80~F86 : ヒューズ

FC : ヒューズ回路

IV50, IV51, IV60~IV62, IV70~IV72 : インバータ

MARY : メモリセルアレイ

PON : パワーオンリセット回路

PRG80~PRG83 : アドレスプログラム回路

PD, PD80 : パッド電極

PRG, PRG2, PRG3 : 欠陥アドレス記憶回路

RROW : 予備行

RR, R50, R70, R80 : 負荷抵抗

TME : テストモードエンタリー回路

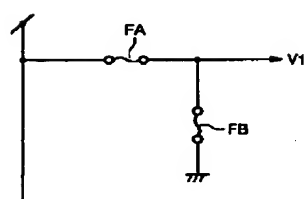
TN0, TN1, TNE, TN10, TN50, TN60, TN61, TN70 : n 型電界効果トランジスタ

TP80 : p 型電界効果トランジスタ

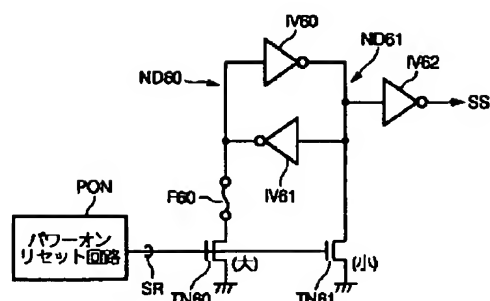
30

* * Y D E C : 列デコーダ

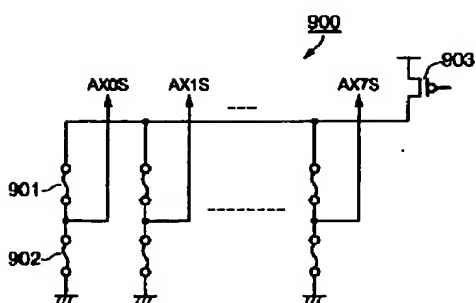
【圖 1 1】



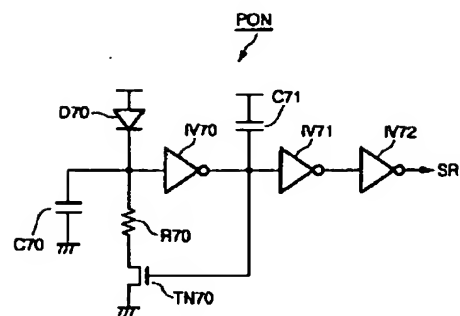
【図6】



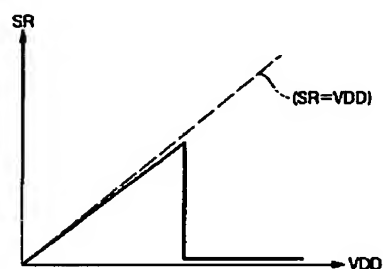
【图 1 2】



【图 7】

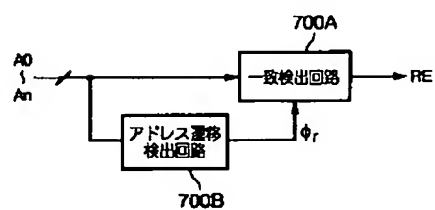


(a)

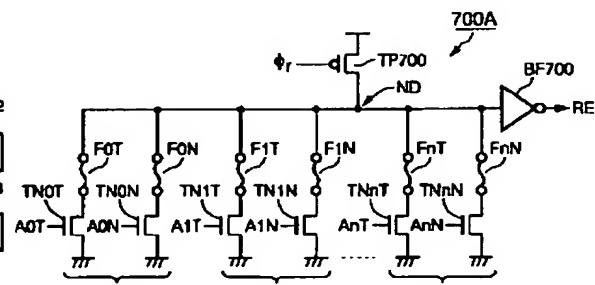


(b)

【図 9】



(a)



(b)

【図10】

